|  |  |  |
| --- | --- | --- |
| THANH GHI | ĐỊA CHỈ | CHỨC NĂNG |
| SRES | 0x30 | Reset chip. |
| SFSTXON | 0x31 | Kích hoạt và hiệu chỉnh bộ tổng hợp tần số (nếu [MCSM0.FS\_AUTOCAL =](https://translate.googleusercontent.com/translate_f#74) 1).  Nếu trong RX (với CCA): Chuyển đến trạng thái chờ khi chỉ bộ tổng hợp đang chạy (để quay vòng RX / TX nhanh chóng) |
| SXOFF | 0x32 | Tắt dao động tinh thể |
| SCAL | 0x33 | Hiệu chỉnh bộ tổng hợp tần số và tắt nó đi. [SCAL c](https://translate.googleusercontent.com/translate_f#59) an được nhấp nháy từ chế độ IDLE mà không  cài đặt chế độ hiệu chuẩn thủ công ( [MCSM0.FS\_AUTOCAL =](https://translate.googleusercontent.com/translate_f#74) 0) |
| SRX | 0x34 | Bật RX. Thực hiện hiệu chuẩn trước nếu đến từ IDLE và[MCSM0.FS\_AUTOCAL =](https://translate.googleusercontent.com/translate_f#74) 1. |
| STX | 0x35 | Ở trạng thái IDLE: Bật TX. Thực hiện hiệu chuẩn trước nếu  [MCSM0.FS\_AUTOCAL =](https://translate.googleusercontent.com/translate_f#74) 1.  Nếu ở trạng thái RX và CCA được bật: Chỉ chuyển đến TX nếu kênh rõ ràng |
| SIDLE | 0x36 | Thoát RX / TX, tắt bộ tổng hợp tần số và thoát khỏi chế độ Wake-On-Radio nếu có. |
| SWOR | 0x38 | Bắt đầu trình tự bỏ phiếu RX tự động (Wake-on-Radio) như được mô tả trong Phần 19 [.5](https://translate.googleusercontent.com/translate_f#43) nếu [WORCTRL.RC\_PD =](https://translate.googleusercontent.com/translate_f#80) 0 . |
| SPWD | 0x39 | Vào chế độ tắt nguồn khi CSn tăng cao |
| SFRX | 0x3A | Xả bộ đệm RX FIFO. Chỉ phát hành [SFRX ở](https://translate.googleusercontent.com/translate_f#59) trạng thái IDLE hoặc RXFIFO\_OVERFLOW |
| SFTX | 0x3B | Xả bộ đệm TX FIFO. Chỉ phát hành [SFTX ở](https://translate.googleusercontent.com/translate_f#59) trạng thái IDLE hoặc TXFIFO\_UNDERFLOW |
| SWORRST | 0x3C | Đặt lại đồng hồ thời gian thực thành giá trị Event1. |
| SNOP | 0x3D | Không hoạt động. Có thể được sử dụng để truy cập vào byte trạng thái chip |

Bảng 34: Các ngăn lệnh

Cấu hình chi tiết các thanh ghi:

1. **IOCFG2 - Cấu hình chân đầu ra GDO2 : 0x00**

Liên kết với RX FIFO: Thông báo khi RX FIFO được lấp đầy bằng hoặc trên ngưỡng RX FIFO. Khử xác nhận khi RX FIFO cạn kiệt dưới cùng một ngưỡng.

1. **IOCFG1 - Cấu hình chân đầu ra GDO1 : 0x01**

Liên kết với RX FIFO: Cảnh báo khi RX FIFO được lấp đầy bằng hoặc trên ngưỡng RX FIFO hoặc khi đạt đến kết thúc gói. Khử xác nhận khi RX FIFO trống.

1. **IOCFG0 - Cấu hình chân đầu ra GDO0 : 0x02**

Được liên kết với TX FIFO: Thông báo khi TX FIFO được lấp đầy bằng hoặc trên ngưỡng TX FIFO. Khử xác nhận khi TX FIFO dưới cùng một ngưỡng.

1. **0x03: FIFOTHR – Ngưỡng của RX FIFO and TX FIFO**

CC1101 chứa hai FIFO 64 byte, một cho dữ liệu đã nhận và một cho dữ liệu được truyền.

Giao diện SPI được sử dụng để đọc từ RX FIFO và ghi vào TX FIFO.

Phần 10.5 bao gồm các chi tiết về quyền truy cập SPI FIFO.

Bộ điều khiển FIFO sẽ phát hiện tràn trong RX FIFO và tràn trong TX FIFO.

Khi ghi vào TX FIFO, MCU có trách nhiệm tránh tràn TX FIFO.

Việc tràn TX FIFO sẽ dẫn đến lỗi trong nội dung TX FIFO.

Tương tự như vậy, khi đọc RX FIFO, MCU phải tránh đọc RX FIFO quá giá trị trống của nó, vì dòng RX FIFO bên dưới sẽ dẫn đến lỗi dữ liệu được đọc ra khỏi RX FIFO.

Byte trạng thái chip có sẵn trên chân SO trong khi chuyển tiêu đề SPI chứa cấp độ điền của RX FIFO nếu truy cập là hoạt động đọc và cấp độ lấp đầy của TX FIFO nếu truy cập là hoạt động ghi.

Phần 10.1 trên trang 25 có thêm chi tiết về điều này.

Số byte trong RX FIFO và TX FIFO có thể được đọc từ các thanh ghi trạng thái RXBYTES.NUM\_RXBYTES và TXBYTES.NUM\_TXBYTES tương ứng.

Nếu một byte dữ liệu đã nhận được ghi vào RX FIFO cùng lúc với byte cuối cùng trong RX FIFO được đọc qua giao diện SPI, thì con trỏ RX FIFO không được cập nhật đúng cách và byte đọc cuối cùng bị sao chép.

Để tránh vấn đề này, không bao giờ được làm trống RX FIFO trước khi nhận được byte cuối cùng của gói.

Đối với độ dài gói nhỏ hơn 64 byte, bạn nên đợi cho đến khi nhận được gói hoàn chỉnh trước khi đọc nó ra khỏi RX FIFO.

Nếu độ dài gói lớn hơn 64 byte, MCU phải xác định có bao nhiêu byte có thể được đọc từ RX FIFO (RXBYTES.NUM\_RXBYTES-1) và có thể sử dụng quy trình phần mềm sau:

1. Đọc RXBYTES.NUM\_RXBYTES lặp lại với tốc độ được đảm bảo ít nhất gấp đôi tốc độ mà byte RF được nhận cho đến khi cùng một giá trị được trả về hai lần; lưu trữ giá trị trong n.

2. Nếu n <# byte còn lại trong gói, hãy đọc n-1 byte từ RX FIFO.

3. Lặp lại bước 1 và bước 2 cho đến khi còn lại n = # byte trong gói.

4. Đọc các byte còn lại từ RX FIFO.

Cài đặt FIFOTHR.FIFO\_THR 4 bit được sử dụng để lập trình các điểm ngưỡng trong FIFO.

Bảng 29 liệt kê 16 cài đặt FIFO\_THR và các ngưỡng tương ứng cho FIFO RX và TX.

Giá trị ngưỡng được mã hóa theo hướng ngược lại cho RX FIFO và TX FIFO.

Điều này mang lại lợi nhuận bằng nhau cho các điều kiện tràn và tràn khi đạt đến ngưỡng.

Một tín hiệu sẽ xác nhận khi số byte trong FIFO bằng hoặc cao hơn ngưỡng được lập trình.

Tín hiệu này có thể được xem trên các chân GDO (xem Bảng 33 trên trang 55).

Hình 21 cho thấy số byte trong cả RX FIFO và TX FIFO khi tín hiệu ngưỡng chuyển đổi, trong trường hợp FIFO\_THR = 13.

Hình 20 cho thấy tín hiệu khi FIFO tương ứng được lấp đầy trên ngưỡng, và sau đó thoát ra bên dưới.

1. **0x04: SYNC1 – Sync Word, High Byte**

**0x05: SYNC0 – Sync Word, Low Byte**

Đồng bộ hóa Byte

Đồng bộ hóa byte được thực hiện bằng cách tìm kiếm từ đồng bộ liên tục. Từ đồng bộ là trường có thể định cấu hình 16 bit (có thể lặp lại để có được 32 bit) được bộ điều chế tự động chèn vào đầu gói ở chế độ truyền.

Bộ giải điều chế sử dụng trường này để tìm ranh giới byte trong dòng bit.

Từ đồng bộ cũng sẽ hoạt động như một định danh hệ thống, vì chỉ các gói có từ đồng bộ được xác định trước chính xác mới được nhận nếu tính năng phát hiện từ đồng bộ trong RX được bật trong thanh ghi MDMCFG2 (xem Phần 17.1) ..

Trình dò ​​từ đồng bộ tương quan với từ đồng bộ 16 hoặc 32 bit do người dùng định cấu hình.

Ngưỡng tương quan có thể được đặt thành 15/16, 16/16 hoặc 30/32 bit khớp.

Từ đồng bộ hóa có thể đủ tiêu chuẩn hơn nữa bằng cách sử dụng chất lượng mở đầu

cơ chế chỉ báo được mô tả dưới đây và / hoặc điều kiện cảm nhận sóng mang.

Từ đồng bộ được cấu hình thông qua thanh ghi SYNC1 và SYNC0.

Để giảm khả năng phát hiện sai các từ đồng bộ, một cơ chế được gọi là chỉ báo chất lượng mở đầu (PQI) có thể được sử dụng

để đủ điều kiện cho từ đồng bộ.

Giá trị ngưỡng cho chất lượng phần mở đầu phải được vượt quá trong

để một từ đồng bộ được phát hiện được chấp nhận.

Xem Phần 17.2 trên trang 36 để biết thêm chi tiết.

1. **0x06: PKTLEN – Packet Length.**

Cho biết độ dài gói khi chế độ độ dài gói cố định được bật. Nếu chế độ độ dài gói thay đổi được sử dụng, giá trị này cho biết độ dài gói tối đa cho phép.

1. **0x07: PKTCTRL1 – Packet Automation Control**

|  |  |  |
| --- | --- | --- |
| Bit | Field name | Description |
| 7:5 | PQT[2:0] | Ngưỡng của công cụ ước tính chất lượng mở đầu. Bộ ước lượng chất lượng phần mở đầu tăng một bộ đếm bên trong mỗi lần nhận một bit khác với bit trước đó và giảm bộ đếm đi 8 mỗi khi nhận một bit giống với bit cuối cùng.Ngưỡng 4 · PQT cho bộ đếm này được sử dụng để phát hiện từ đồng bộ cổng.  Khi PQT = 0, một từ đồng bộ luôn được chấp nhận. |
| 4 | Reserved |  |
| 3 | CRC\_AUTOFLUSH | Bật tự động xả RX FIFO khi CRC không ổn. Điều này yêu cầu chỉ có một gói trong RXIFIFO và độ dài gói đó được giới hạn ở kích thước RX FIFO.(k quan tâm) |
| 2 | APPEND\_STATUS | Khi được bật, hai byte trạng thái sẽ được thêm vào trọng tải của gói. Các byte trạng thái chứa các giá trị RSSI và LQI, cũng như CRC OK.  Lưu ý rằng độ dài gói cho phép tối đa sẽ giảm đi hai byte khi PKTCTRL1.APPEND\_STATUS được bật, để tạo khoảng trống trong RX FIFO cho hai byte trạng thái được nối vào cuối gói. |
| 1:0 | ADR\_CHK[1:0] | Kiểm soát địa chỉ kiểm tra cấu hình của các gói đã nhận.  Đặt cấu hình kiểm tra địa chỉ  0 (00) Không kiểm tra địa chỉ  1 (01) Kiểm tra địa chỉ, không phát sóng  2 (10) Kiểm tra địa chỉ và phát sóng 0 (0x00)  3 (11) Kiểm tra địa chỉ và phát sóng 0 (0x00) và 255 (0xFF)  Bộ xử lý gói sẽ so sánh byte địa chỉ đích trong gói với địa chỉ nút được lập trình trong thanh ghi ADDR và địa chỉ quảng bá 0x00 khi PKTCTRL1.ADR\_CHK = 10 hoặc cả địa chỉ quảng bá 0x00 và 0xFF khi PKTCTRL1.ADR\_CHK = 11. |

Note: RSSI

Giá trị RSSI là ước tính của mức công suất tín hiệu trong kênh đã chọn.Giá trị này dựa trên cài đặt độ lợi hiện tại trong chuỗi RX và mức tín hiệu đo được trong kênh.Trong chế độ RX, giá trị RSSI có thể được đọc liên tục từ thanh ghi trạng thái RSSI cho đến khi bộ giải điều chế phát hiện một từ đồng bộ (khi bật tính năng phát hiện từ đồng bộ).Tại thời điểm đó, giá trị đọc RSSI bị đóng băng cho đến lần tiếp theo chip đi vào trạng thái RX.Giá trị RSSI tính bằng dBm với độ phân giải ½dB.Tốc độ cập nhật RSSI, fRSSI, phụ thuộc vào băng thông của bộ lọc máy thu (BWchannel được xác định trong Phần 13) và AGCCTRL0.FILTER\_LENGTH.FILTER\_LENGTH



Nếu PKTCTRL1.APPEND\_STATUS được bật, giá trị RSSI cuối cùng của gói được tự động thêm vào byte đầu tiên được nối sau tải trọng.

Giá trị RSSI được đọc từ thanh ghi trạng thái RSSI là số bổ sung của 2. Quy trình sau có thể được sử dụng để chuyển đổi đọc RSSI thành mức công suất tuyệt đối (RSSI\_dBm).

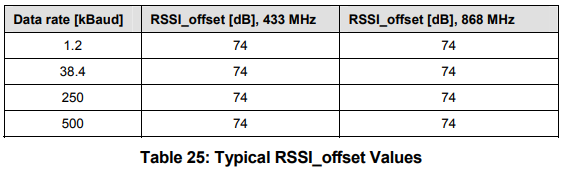
1) Đọc thanh ghi trạng thái RSSI

2) Chuyển đổi số đọc từ số thập lục phân sang số thập phân (RSSI\_dec)

3) Nếu RSSI\_dec ≥ 128 thì RSSI\_dBm = (RSSI\_dec - 256) / 2 - RSSI\_offset

4) Khác nếu RSSI\_dec <128 thì RSSI\_dBm = (RSSI\_dec) / 2 - RSSI\_offset

Bảng 25 đưa ra các giá trị điển hình cho RSSI\_offset.



1. **0x08: PKTCTRL0 – Packet Automation Control**

|  |  |  |
| --- | --- | --- |
| Bit | Field name | Description |
| 7 |  |  |
| 6 | WHITE\_DATA | Bật / tắt làm trắng dữ liệu  0: Làm trắng tắt  1: Làm trắng mở |
| 5:4 | PKT\_FORMAT[1:0] | Định dạng dữ liệu RX và TX  0 (00) Chế độ bình thường, sử dụng FIFOs cho RX và TX  1 (01) Chế độ nối tiếp đồng bộ, được sử dụng để tương thích ngược. Dữ liệu trên GDO0  2 (10) Chế độ TX ngẫu nhiên; gửi dữ liệu ngẫu nhiên bằng PN9  máy phát điện. Dùng để thử nghiệm. Hoạt động như chế độ bình thường, cài đặt 0 (00), trong RX.  3 (11) Chế độ nối tiếp không đồng bộ. Dữ liệu vào trên GDO0 và Dữ liệu ra trên một trong các chân GDO0 |
| 3 | Reserved |  |
| 2 | CRC\_EN | 1: Tính toán CRC trong TX và kiểm tra CRC trong RX được kích hoạt  0: CRC bị tắt cho TX và RX |
| 1:0 | LENGTH\_CONFIG[1:0] | Đặt cấu hình độ dài gói  0 (00) Chế độ độ dài gói cố định. Độ dài được định cấu hình trong thanh ghi PKTLEN  1 (01) Chế độ độ dài gói thay đổi. Độ dài gói được định cấu hình bởi byte đầu tiên sau từ đồng bộ  2 (10) Chế độ độ dài gói vô hạn  3 (11) Được bảo lưu |

1. **0x09: ADDR – Device Address**

Địa chỉ được sử dụng để lọc gói. Các địa chỉ quảng bá tùy chọn là 0 (0x00) và 255 (0xFF).

1. **0x0A: CHANNR – Channel Number**

Số kênh không dấu 8 bit, được nhân với cài đặt giãn cách kênh và được thêm vào tần số cơ bản.

1. **0x0B: FSCTRL1 – Frequency Synthesizer Control**

7:5 not use.

4:0 FREQ\_IF[4:0]

Tần số trung gian (IF) mong muốn để sử dụng trong RX. Trừ tần số cơ sở bộ tổng hợp tần số (FS) trong RX và điều khiển bộ trộn phức hợp kỹ thuật số trong bộ giải điều chế.

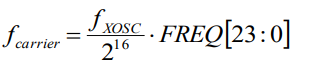


Giá trị tần số trung gian với tần số thạch anh 26MHz là 298KHz.

1. **0x0C: FSCTRL0 – Frequency Synthesizer Control**

Độ lệch tần số được thêm vào tần số cơ bản trước khi được bộ tổng hợp tần số sử dụng. (2s-phần bù).

1. **Frequency Control Word**

****

**0x0D: FREQ2 – Frequency Control Word, High Byte**

* FREQ2[7:0] = FREQ[23:16]
* FREQ2[7:6] = FREQ[23:22] luôn bằng 0 (để FREQ2 nhỏ hơn 36 với thạch anh 26MHz)
* FREQ2[5:0] = FREQ[21:16]

**0x0E: FREQ1 – Frequency Control Word, Middle Byte**

* FREQ1[7:0] = FREQ[15:8]

**0x0F: FREQ0 – Frequency Control Word, Low Byte**

* FREQ1[7:0] = FREQ[7:0]

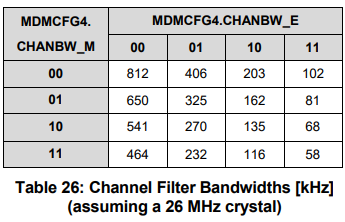
1. **0x10: MDMCFG4 – Modem Configuration**

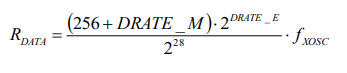
**0x11: MDMCFG3 – Modem Configuration**

* Để đáp ứng các yêu cầu về độ rộng kênh khác nhau, bộ lọc kênh thu có thể lập trình được.Thanh ghi cấu hình MDMCFG4.CHANBW\_E và MDMCFG4.CHANBW\_M điều khiển băng thông bộ lọc kênh thu, thang đo này theo tần số dao động tinh thể.
* MDMCFG4[7:6]CHANBW\_E[1:0] = 0
* MDMCFG4[5:4] CHANBW\_M[1:0] = 1

****

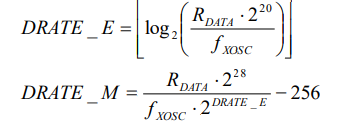
BW = 650 KHz

* Tốc độ dữ liệu  được sử dụng khi truyền hoặc tốc độ dữ liệu mong đợi khi nhận được lập trình bởi thanh ghi cấu hình MDMCFG3.DRATE\_M và MDMCFG4.DRATE\_E.
* MDMCFG4[3:0] DRATE\_E[3:0] = 0
* MDMCFG3[7:0] DRATE\_M[7:0] = 17

****

* Tốc độ data RData = 26.44 baud

Ta có thể tìm các giá trị của DRATE\_E và DRATE\_M từ tốc độ data RData



Nếu DRATE\_M được làm tròn thành số nguyên gần nhất và trở thành 256, hãy tăng DRATE\_E và sử dụng DRATE\_M = 0.

1. **0x12: MDMCFG2 – Modem Configuration**

|  |  |  |
| --- | --- | --- |
| Bit | Field name | Description |
| 7 | DEM\_DCFILT\_OFF | Tắt bộ lọc chặn DC kỹ thuật số trước bộ giải điều chế.  0 = Bật (độ nhạy tốt hơn)  1 = Tắt (tối ưu hóa hiện tại). Chỉ dành cho tốc độ dữ liệu ≤ 250 kBaud  Tần số IF được khuyến nghị thay đổi khi chặn DC bị tắt.  Vui lòng sử dụng SmartRF Studio [5] để tính toán cài đặt đăng ký chính xác. |
| 6:4 | MOD\_FORMAT[2:0] | Định dạng điều chế của tín hiệu vô tuyến  0 (000) 2-FSK  1 (001) GFSK  2 (010) -  3 (011) ASK / OOK  4 (100) 4-FSK  5 (101) -  6 (110) -  7 (111) MSK |
| 3 | MANCHESTER\_EN | Cho phép mã hóa / giải mã Manchester.  0 = Tắt  1 = Bật |
| 2:0 | SYNC\_MODE[2:0] | Đặt chế độ định tính từ đồng bộ hóa  0 (000) Không có lời mở đầu / đồng bộ hóa  1 (001) 15/16 bit từ đồng bộ được phát hiện  2 (010) 16/16 bit từ đồng bộ được phát hiện  3 (011) 30/32 bit từ đồng bộ được phát hiện  4 (100) Không có lời mở đầu / đồng bộ hóa, cảm nhận nhà cung cấp dịch vụ trên ngưỡng  5 (101) 15/16 + cảm nhận sóng mang trên ngưỡng  6 (110) 16/16 + cảm nhận sóng mang trên ngưỡng  7 (111) 30/32 + cảm nhận sóng mang trên ngưỡng |

1. 0x13: MDMCFG1– Modem Configuration

|  |  |  |
| --- | --- | --- |
| Bit | Field name | Description |
| 7 | FEC\_EN | Bật tính năng Sửa lỗi Chuyển tiếp (FEC) với tính năng xen kẽ cho tải trọng gói  0 = Tắt  1 = Bật (Chỉ hỗ trợ cho chế độ độ dài gói cố định, tức là PKTCTRL0.LENGTH\_CONFIG = 0) |
| 6:4 | NUM\_PREAMBLE[2:0] | Đặt số byte mở đầu tối thiểu được truyền  0 (000) 2  1 (001) 3  2 (010) 4  3 (011) 6  4 (100) 8  5 (101) 12  6 (110) 16  7 (111) 24 |
| 3:2 |  | Not used |
| 1:0 | CHANSPC\_E[1:0] | Số mũ 2 bit của khoảng cách kênh |

1. **0x14: MDMCFG0– Modem Configuration**

|  |  |  |
| --- | --- | --- |
| Bit | Field name | Description |
| 7:0 | CHANSPC\_M[7:0] | Phần định trị 8 bit của khoảng cách kênh. |



Khoảng cách giữa các kênh : 219 KHz

1. **0x15: DEVIATN – Modem Deviation Setting**

|  |  |  |
| --- | --- | --- |
| Bit | Field name | Description |
| 7 |  | Not used. |
| 6:4 | DEVIATION\_E[2:0] | Số mũ sai lệch. |
| 3 |  | Not used. |
| 2:0 | DEVIATION\_M[2:0] |  |

Độ lệch tần số kết quả được cho bởi: ( công thức áp dụng cho 2-FSK/ GFSK/ 4-FSK)



fdev = 5.157 khz

Chỉ định độ lệch tần số danh định từ sóng mang cho ‘0’ (-DEVIATN) và ‘1’ (+ DEVIATN) ở định dạng phần định trị-lũy thừa, được hiểu là giá trị 4 bit với MSB ngầm định là 1.

1. **0x16: MCSM2 – Main Radio Control State Machine Configuration**

|  |  |  |
| --- | --- | --- |
| Bit | Field name | Description |
| 7:5 |  | Not used. |
| 4 | RX\_TIME\_RSSI | Ngắt RX trực tiếp dựa trên phép đo RSSI (cảm biến sóng mang). Đối với điều chế ASK / OOK, RX hết thời gian chờ nếu không có cảm biến sóng mang trong 8 khoảng thời gian biểu tượng đầu tiên |
| 3 | RX\_TIME\_QUAL | Khi bộ hẹn giờ RX\_TIME hết hạn, chip sẽ kiểm tra xem từ đồng bộ có được tìm thấy khi RX\_TIME\_QUAL = 0 hay từ đồng bộ được tìm thấy hoặc PQI được đặt khi RX\_TIME\_QUAL = 1. |
| 2:0 | RX\_TIME[2:0] | Hết thời gian chờ để đồng bộ hóa tìm kiếm từ trong RX cho cả chế độ WOR và hoạt động RX bình thường. Thời gian chờ liên quan đến thời gian chờ EVENT0 đã lập trình. |
|  |  |  |

1. **0x17: MCSM1– Main Radio Control State Machine Configuratio**

|  |  |  |
| --- | --- | --- |
| Bit | Field name | Description |
| 7:6 |  | Not used |
| 5:4 | CCA\_MODE[1:0] | Chọn CCA\_MODE; Phản ánh trong tín hiệu CCA  0 (00) Luôn luôn  1 (01) Nếu RSSI dưới ngưỡng  2 (10) Trừ khi hiện đang nhận được một gói  3 (11) Nếu RSSI dưới ngưỡng trừ khi hiện đang nhận được nhịp độ |
| 3:2 | RXOFF\_MODE[1:0] | Chọn những gì sẽ xảy ra khi một gói tin đã được nhận  Trạng thái tiếp theo sau khi kết thúc quá trình nhận gói tin  0 (00) IDLE  1 (01) FSTXON  2 (10) TX  3 (11) Ở lại RX |
| 1:0 | TXOFF\_MODE[1:0] | Chọn điều gì sẽ xảy ra khi một gói tin đã được gửi đi (TX)  Trạng thái tiếp theo sau khi kết thúc quá trình truyền gói  0 (00) IDLE  1 (01) FSTXON  2 (10) Ở lại TX (bắt đầu gửi lời mở đầu)  3 (11) RX |

1. 0x18: MCSM0– Main Radio Control State Machine Configuration
2. 0x19: FOCCFG – Frequency Offset Compensation Configuration